Compact 系列单板硬件设计用户指南

(UG030009，Version 1.0)

(2020.03.23)

深圳市紫光同创电子有限公司

文档版本修订记录

版本号	发布日期	修订记录
V1.0	2020/03/23	初始版本

名词术语解释

PCB：Printed Circuit Board

BGA：Ball Grid Array

FBG：F=1.0mm ball pitch, B= Ball Grid Array, G=Pb free

MBG：M=0.8mm ball pitch, B= Ball Grid Array, G= Pb free

SSBG：S=Special S=0.5mm ball pitch, B= Ball Grid Array, G= Pb free

UWG：U=0.4mm ball pitch, W= Wafer level chip scale package, G= Pb free

LPG：L=package thickness >1.2mm, P= QFP(Quad flat package) , G= Pb free

目录

一、 概述 1
二、 电源 2
（一） 电压 2
（二） 功耗 3
（三） 电源走线 3
三、 封装和 FANOUT 6
（一） FBG 8
（二） MBG 8
（三） SSBG 9
（四） UWG 11
（五） LPG 13
四、 配置 14
（一） 管脚使用说明 14
（二） JTAG 14
（三） SPI 15
（四） 其它配置管脚 15
五、 LVDS 16
（一） 芯片管脚选择要求 16
（二） 其它说明 16
（三） LVDS 走线要求 16
六、 MIPI 17
（一） 芯片管脚选择要求 17
（二） MIPI 走线要求 18
七、 类差分输出 19
（一） 类差分输出---LVPECL33 19
（二） 类差分输出---MLVDS25 19
（三） 类差分输出---BLVDS25 20
（四） 类差分输出---LVDS25E 20
八、 时钟 21
（一） 时钟管脚 21
（二） 时钟走线 21
九、 其它注意事项 22
免责声明 23

图目录

图 1 PGC 系列 CPLD 电源去耦原理图 4
图 2 PGC7KD-MBG400 封装的电容放置 PCB 实图 5
图 3 BGA Fanout 参考示意图 6
图 4 BGA 表层焊盘间长走线示意图 7
图 5 BGA 表层走线示意图 7
图 6 FBG 封装焊盘和过孔推荐尺寸示意图 8
图 7 FBG 封装焊盘间出线推荐尺寸示意图 8
图 8 MBG 封装焊盘和过孔推荐尺寸示意图 9
图 9 MBG 封装焊盘间出线推荐尺寸示意图 9
图 10 SSBG 封装焊盘和通孔过孔推荐尺寸示意图 10
图 11 SSBG 封装对应 PCB 中间层走线示意图一 10
图 12 SSBG 封装对应 PCB 中间层走线示意图二 11
图 13 MBG 封装焊盘和过孔推荐尺寸示意图 12
图 14 UWG 封装焊盘和过孔推荐尺寸示意图 12
图 15 JTAG 信号分叉电阻示意图 15
图 16 SLVS 实现 MIPI 输入（HS/LP） 17
图 17 LVCMOS25D 和外接电阻实现 MIPI 输出（HS/LP） 18
图 18 LVPECL 点对点输出实例 19
图 19 MLVDS25/BLVDS25 点对点输出实例 20
图 20 LVDS25E 点对点输出实例 20

表目录

表 1 推荐的器件工作条件 2
表 2 器件供电电源电压要求 2
表 3 PGC 系列器件的内核电流 3
表 4 Compact 系列 CPLD 芯片配置相关管脚使用说明 14

一、 概述

Compact 系列单板硬件设计用户指南是 Compact 系列 CPLD 芯片的单板硬件推荐设计说明文件。

Compact 系列 CPLD 总体介绍、产品特征、资源规模、封装信息和用户 IO 数量等请参阅《DS03001_Compact 系列 CPLD 器件数据手册》。

二、 电源

（一） 电压

表 1 是工作电压和温度要求。

表 1 推荐的器件工作条件

符号	说明	最小值	典型值	最大值
V_{CC}[1]	L 型器件的外部供电电压	1.14 V	1.2 V	1.26 V
	G 型/D 型器件的外部供电电压	2.375 V	2.5V/3.3 V	3.465 V
VCCIO[1,2]	I/O Bank 电压	1.14 V	--	3.465 V
T_J	商业级的工作结温	0 ℃	--	85 ℃
	工业级的工作结温	-40 ℃	--	100 ℃

1. 所有电源管脚必须连接到相应外部电源，相同的电源要连接到一起。例如，如果 VCCIO 和 V_{CC} 是相同的电压值，它们必须来自相同的电源
2. 制板时，没有用到的 I/O Bank 的 VCCIO 管脚要连到 V_{CC}
3. 对上电时序无要求，可以同时上电
4. 电源纹波要求为标称电压±5%

表 2 器件供电电源电压要求

电源类型 / 芯片型号	VCC[1]	VCCIO0[1,2]	VCCIO1[1,2]	VCCIO2[1,2]	VCCIO3[1,2]	VCCIO4[1,2]	VCCIO5[1,2]
PGC1KL_UWG36	1.2 V	1.2V-3.3 V[3]	--[4]	1.2V-3.3 V	1.2V-3.3 V	--	--
PGC2KL_UWG49	1.2 V	1.2V-3.3 V	--	1.2V-3.3 V	--	--	1.2V-3.3 V
PGC2KL_SSBG256	1.2 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V
PGC4KL_UWG81	1.2 V	1.2V-3.3 V	--	1.2V-3.3 V	1.2V-3.3 V	--	1.2V-3.3 V
PGC4KL_SSBG256	1.2 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V
PGC1KG_LPG100	2.5V/3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V
PGC1KG_LPG144	2.5V/3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V
PGC1KG_MBG256	2.5V/3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V
PGC1KG_FBG256	2.5V/3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V
PGC2KG_LPG100	2.5V/3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V
PGC2KG_LPG144	2.5V/3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V
PGC2KG_MBG256	2.5V/3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V
PGC2KG_FBG256	2.5V/3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V
PGC4KD_MBG256	2.5V/3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V
PGC4KD_MBG324	2.5V/3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V
PGC4KD_MBG332	2.5V/3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V
PGC4KD_MBG400	2.5V/3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V
PGC7KD_FBG484	2.5V/3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V
PGC7KD_MBG400	2.5V/3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V
PGC7KD_MBG256	2.5V/3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V
PGC7KD_MBG332	2.5V/3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V
PGC7KD_LPG144	2.5V/3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V	1.2V-3.3 V

1. 所有电源管脚必须连接到相应外部电源，相同的电源要连接到一起。例如，如果 VCCIO 和 V_{CC} 是相同的电压值，它们必须来自相同的电源
2. 没有用到的 I/O Bank 的 VCCIO 管脚要连到 VCC
3. 1.2V-3.3V 电压包括 1.2V、1.5V、1.8V、2.5V 和 3.3V，下同
4. 表示对应芯片无此 Bank

（二） 功耗

表 3 提供了 CPLD 不同器件的内核电流实测值作为 PCB 设计参考，同时也可以使用功耗评估软件 PPP 来评估。BANK 的电流和封装有关，可使用功耗评估软件 PPP 来评估。

表 3 PGC 系列器件的内核电流

器件	资源使用率	内核电流
1KL	80%，系统时钟125MHz	70mA
1KG	80%，系统时钟150MHz	80mA
2KL	80%，系统时钟125MHz	130mA
2KG	80%，系统时钟150MHz	150mA
4KL	80%，系统时钟125MHz	210mA
4KD	80%，系统时钟150MHz	260mA
7KD	80%，系统时钟150MHz	370mA

（三） 电源走线

电源和地线要短而粗，条件允许时建议以平面的形式设计。

一般地说，芯片的电源管脚和地管脚之间应进行去耦，去耦电容尽量靠近芯片管脚放置。尽量满足每个电源管脚放一个 0.1uF 的去耦电容，每个 Bank 电源放置 1～2 个 10uF 电容，内核电源放置 1～2 个 10uF 电容或 1~2 个 22uF 电容。参考如图 1 所示。

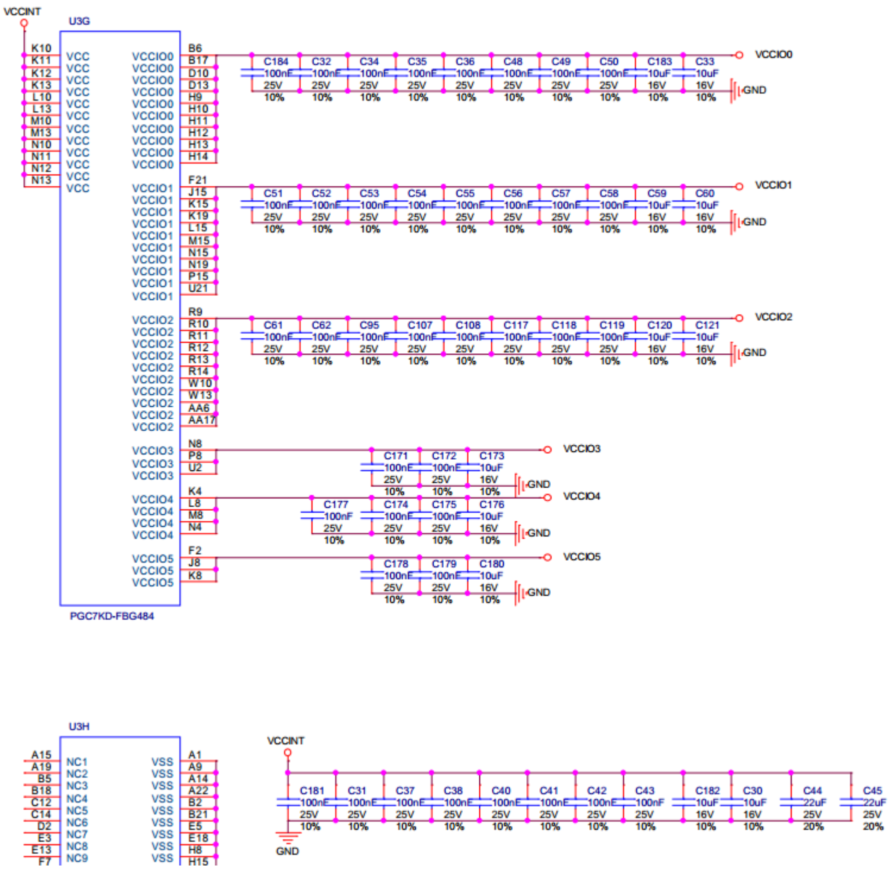


图 1 PGC 系列 CPLD 电源去耦原理图

如果要比较精确地计算需要多少电容，首先需要知道这个板子每路电源的最大瞬变电流，然后根据 PCB 的实际叠层，在 PI（电源完整性）仿真软件里，设置好电源的目标阻抗，通过仿真计算出电容的配置是否合适，再反过来修改原理图中的电容配置。

举个例子，如内核电源电压为 1.2V，根据功耗评估软件估算的最大瞬变电流值为 1A，内核电源要求的 AC 纹波波动为±5%，即 60mV，则内核电源的目标阻抗为

$$60mV/1A=60m\Omega$$

因此，只要保证仿真得到的电源阻抗在应用所需要的最大频率范围内小于目标阻抗，则 AC 纹波波动就会小于要求的±5%。

所需要的最大频率是指增加了一定数量的去耦电容后，不会使得电源阻抗低于目标阻抗的频率点，这是因为杂散平面的主要阻抗是扩散电感及封装的贴装电感。一般而言，这一频率范围从 50/60MHz 直至 150/200MHz。在这些频率之外，是由所选目标器件的封装和管芯电容来维持电源完整性的。

在所要求的整个频率范围内，为保持电源完整性，电源分配系统采用了电源模块（VRM）、板上分立的去耦电容以及平面间电容（来自电路板叠层的电源和地夹层电容）。

对于高频，使用分立电容进行去耦的效率不高。对于这些频率，使用电源平面电容对噪声去耦合。

电源分配系统的目的是为每一器件的电源和地引脚提供并维持所要求的目标恒定电压。为能够高效的实现这一目标，电源分配系统采用了电源（VRM）、体电容和去耦电容（Decaps）以及电源和地平面夹层结构（平面电容）。在各种瞬变的负载条件下，这些元器件能否有效的帮助维持恒定电压主要取决于它们相关的杂散电感。

作为一阶近似，VRM 可以简单的等效为电阻和电感的串联。在几十 KHz 的低频范围内，VRM 主要是电阻，具有极低的阻抗，因此在低频时能够满足瞬时电流要求。但是，超出几十 KHz 之后，VRM 阻抗主要是电感，无法再满足瞬变电流要求。

板上分立去耦电容必须能够满足从几十 KHz 到几百 MHz 的低阻抗要求，这取决于电容 ESR 和 ESL 及电路板贴装和扩散杂散电感。即使选择了具有极低 ESR 和 ESL 的去耦电容，由于杂散贴装和扩散电感会限制这些电容的作用，因此在设计电源分配系统时，必须仔细的减小与电路板设计相关的各种杂散电感。

常用的 PI 仿真软件有 ANSYS 公司的 Siwave、Cadence 公司的 Sigrity。

图 2 为 PGC7KD-MBG400 封装的电容放置 PCB 实图。

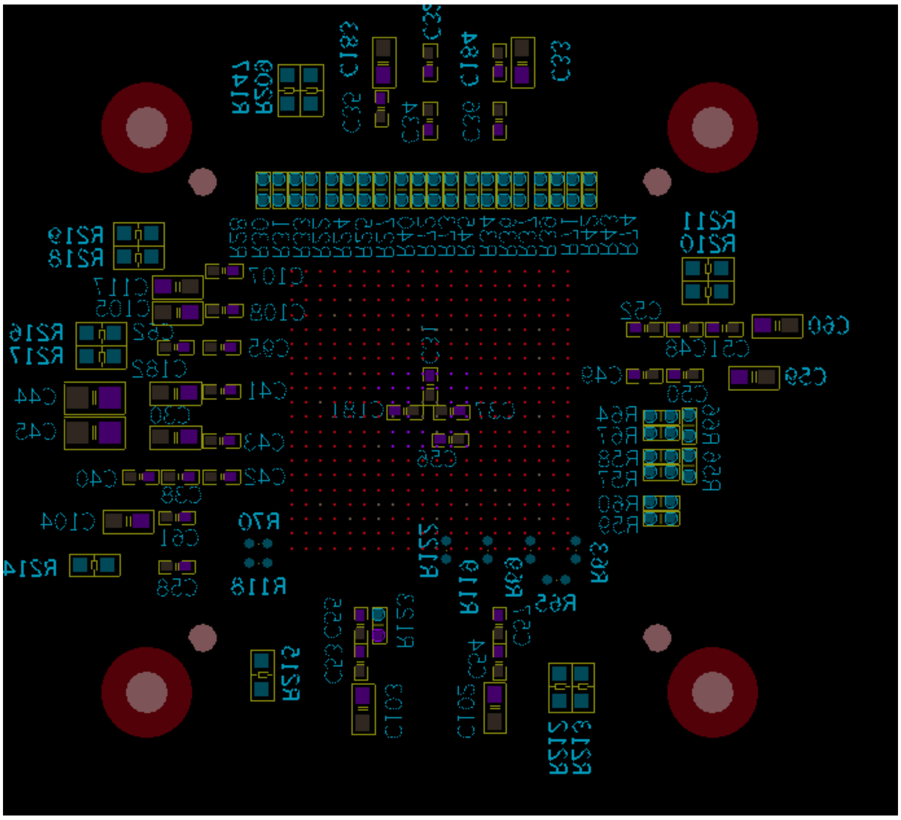


图 2　PGC7KD-MBG400 封装的电容放置 PCB 实图

三、 封装和 FANOUT

BGA 焊盘直径一般设计为与 FPGA 植球直径相同，特殊情况下可以比 FPGA 植球直径小20%~25%，下面给出了 Fanout 参考示意图。

如图 3 所示。中间十字把 BGA 平均分成 4 个区域，每个区域的焊盘都朝着 BGA 的外部出线，十字位置可因走线需要做不对称调整。十字可在中间层用于电源走线、较大线距的走线等，在底层用于放置滤波电容。最外围的 2 排焊盘可以从芯片焊接面表层直接出线；内排焊盘出线打孔换层后尽量以辐射形态向外拉出，避免在内部回转。电源线和地线需要做加宽处理。

表层焊盘之间走线数量应最大化，但要避免长走线，防止出现 PCB 加工不良和贴片不良。

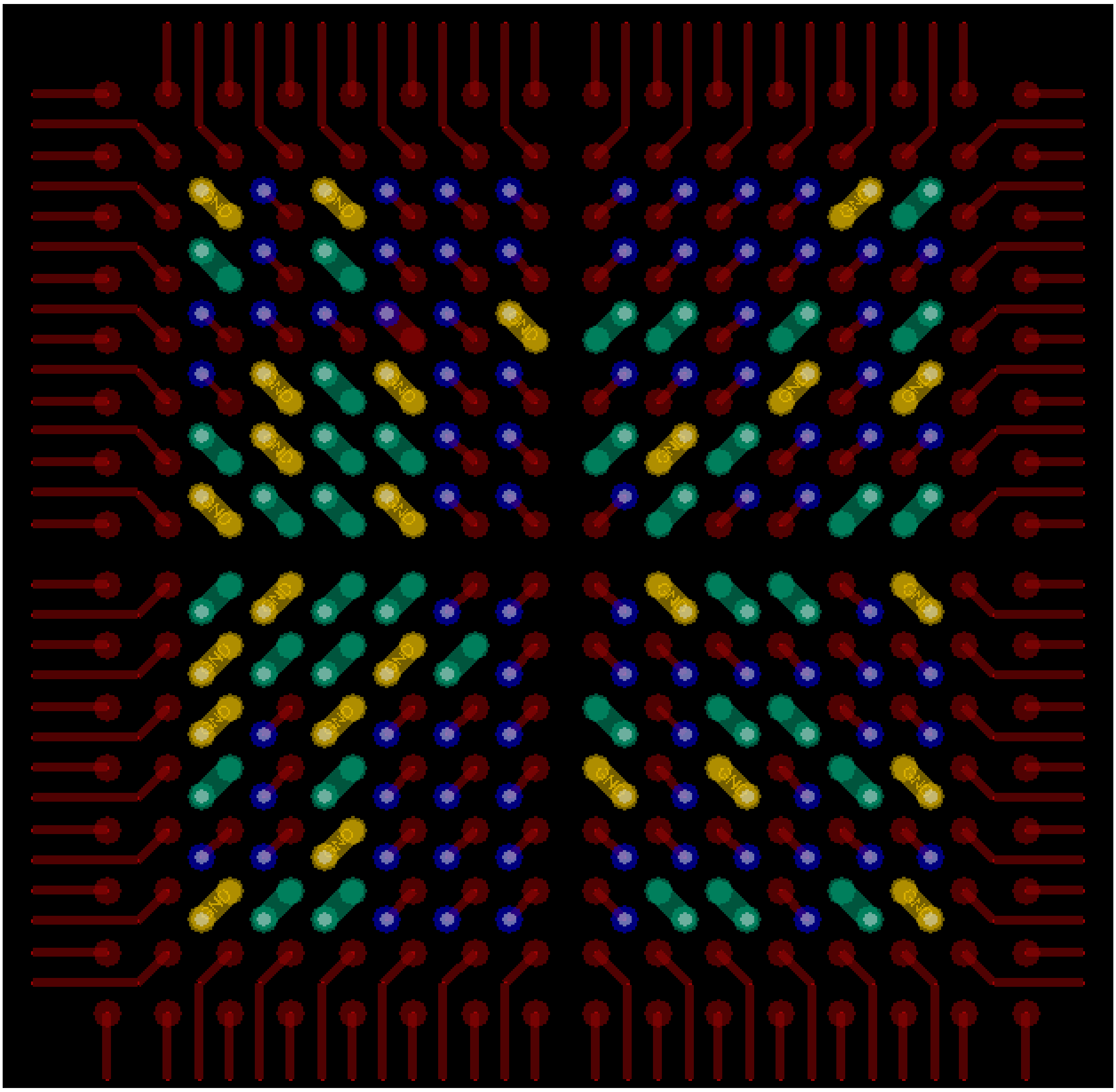


图 3 BGA Fanout 参考示意图

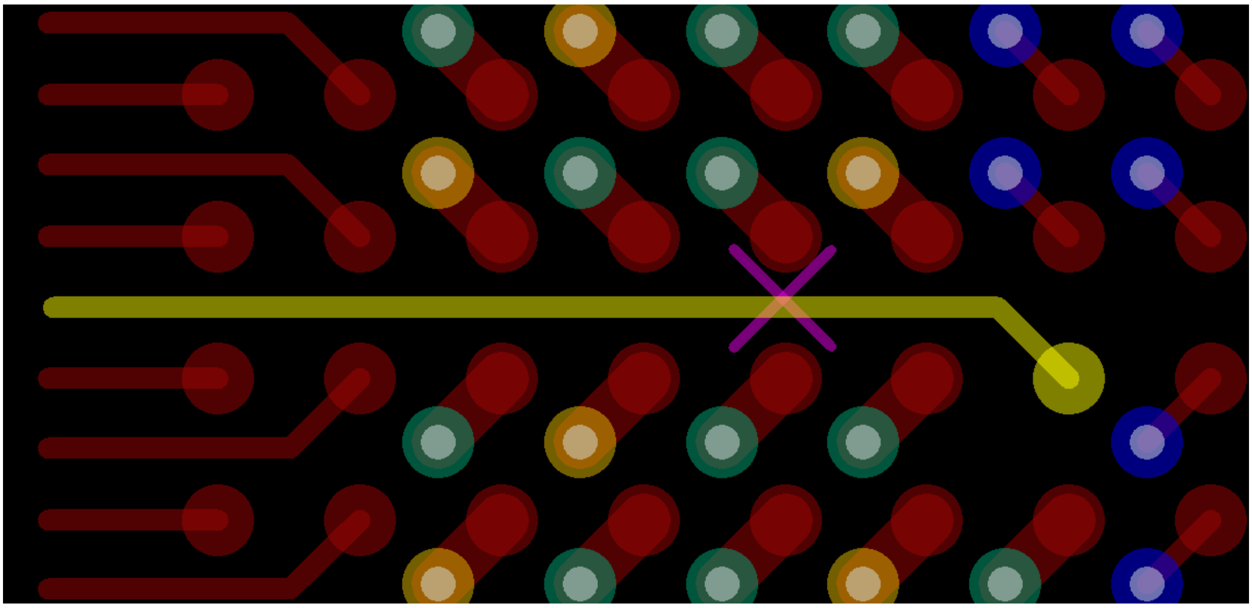


图 4 BGA 表层焊盘间长走线示意图

表层焊盘间长走线（黄色走线），会增加走线与焊盘之间的短路风险，应该避免这种走线。

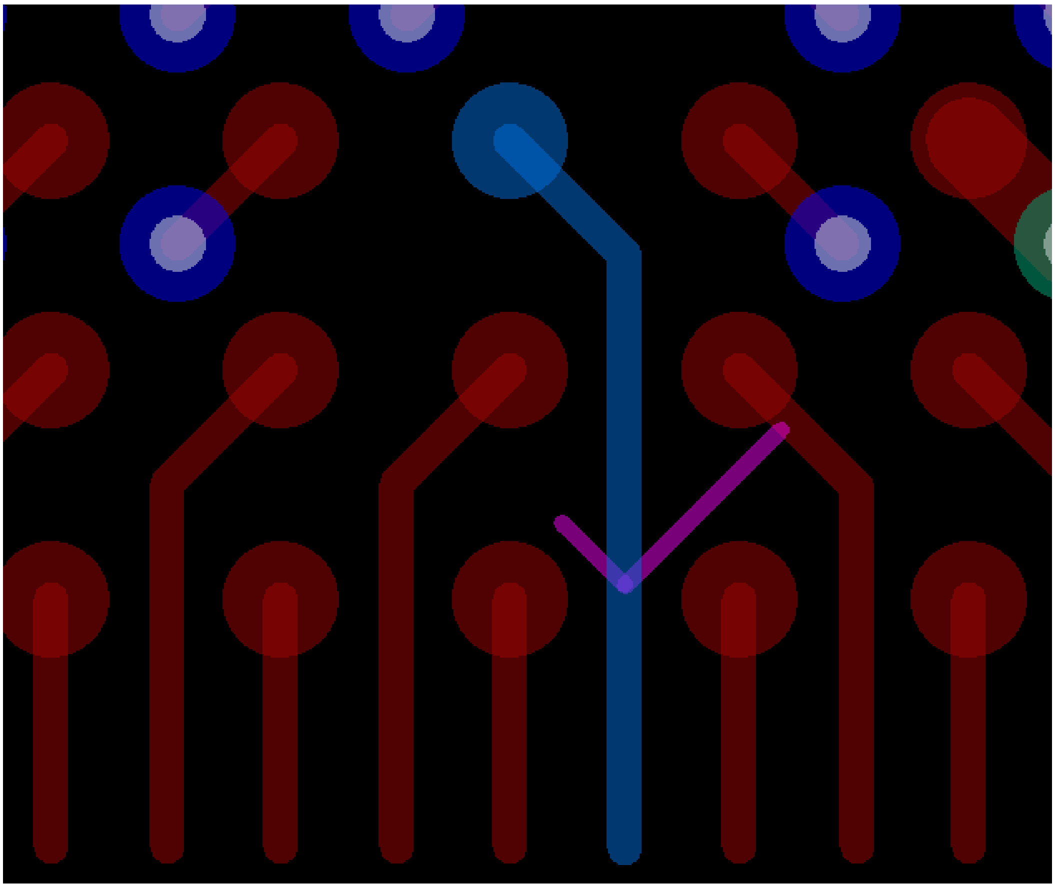


图 5 BGA 表层走线示意图

第 3 排可以有一个焊盘从 Fanout 的中间十字空隙走线（蓝色走线）出来。

（一） FBG

Compact 系列 CPLD 目前有 2 种 FBG 封装，分别是 FBG256 和 FBG484，焊盘间距 1.0mm。具体封装资料请参考紫光同创相应芯片封装用户指南。

焊盘和过孔尺寸、走线宽度推荐如下：

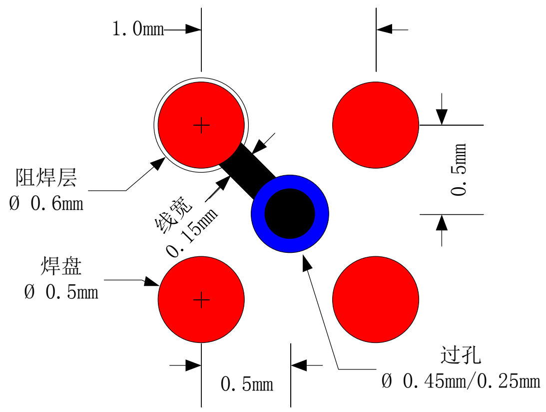


图 6 FBG 封装焊盘和过孔推荐尺寸示意图

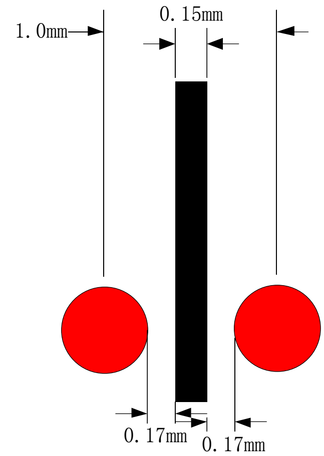


图 7 FBG 封装焊盘间出线推荐尺寸示意图

（二） MBG

Compact 系列 CPLD 目前有 4 种 MBG 封装，分别是 MBG256、MBG324、MBG332 和 MBG400，焊盘间距 0.8mm。具体封装资料请参考紫光同创相应芯片封装用户指南。

焊盘和过孔尺寸、走线宽度推荐如下：

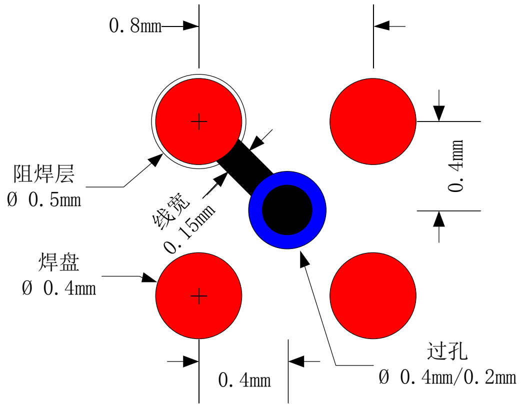


图 8 MBG 封装焊盘和过孔推荐尺寸示意图

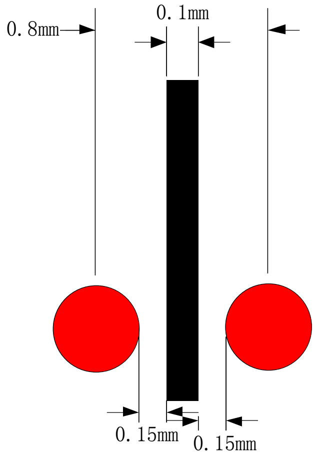


图 9 MBG 封装焊盘间出线推荐尺寸示意图

（三） SSBG

Compact 系列 CPLD 目前只有 1 种 SSBG 封装 SSBG256，焊盘间距 0.5mm。具体封装资料请参考紫光同创相应芯片封装用户指南。

SSBG 封装焊盘间距小，焊盘间的空间无法走线，在 PCB 设计中一般需要用到盲埋孔。当管脚使用数量较少时，如果用到的管脚位置规划的比较合理，也可以只使用通孔过孔，过孔打在焊盘上。

焊盘和过孔尺寸推荐如下：

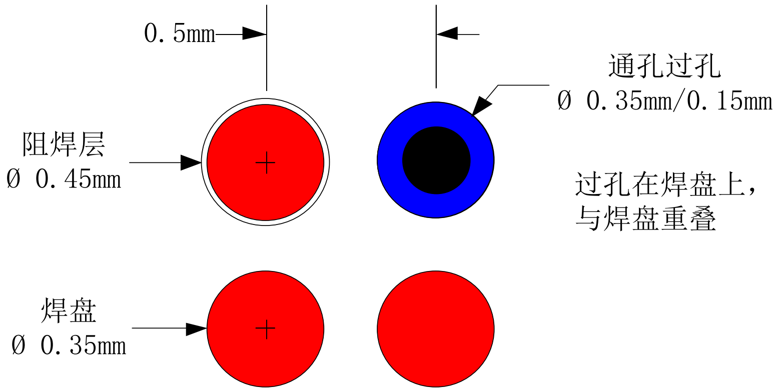


图 10 SSBG 封装焊盘和通孔过孔推荐尺寸示意图

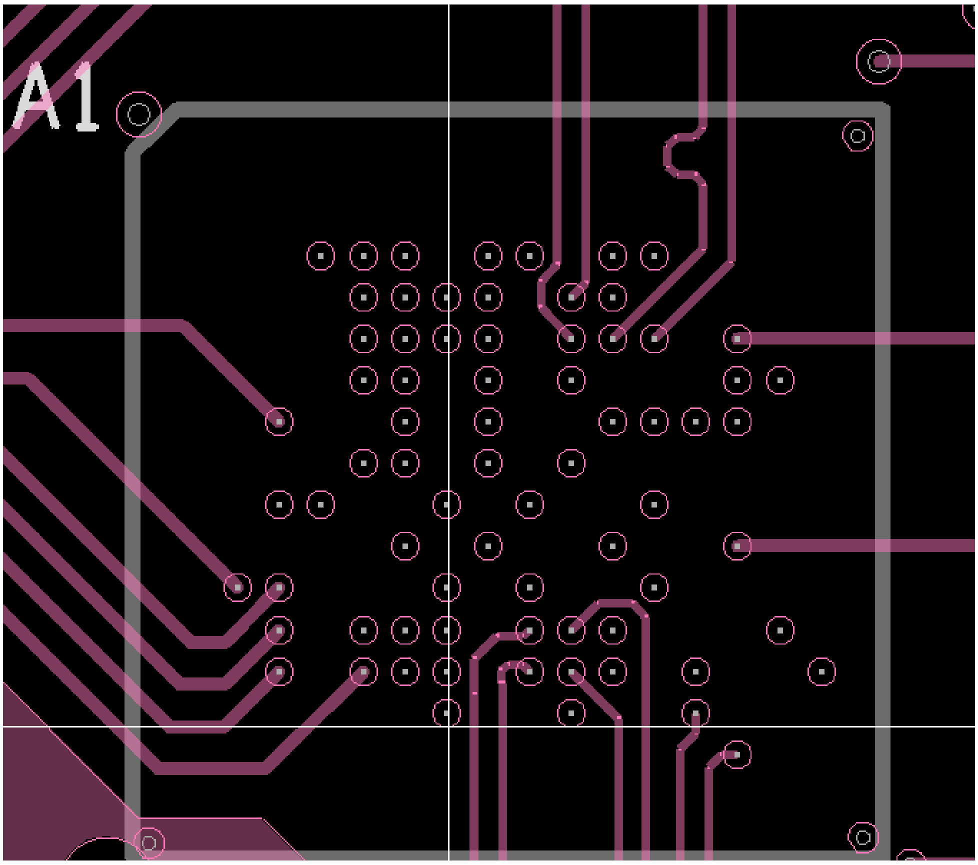


图 11 SSBG 封装对应 PCB 中间层走线示意图一

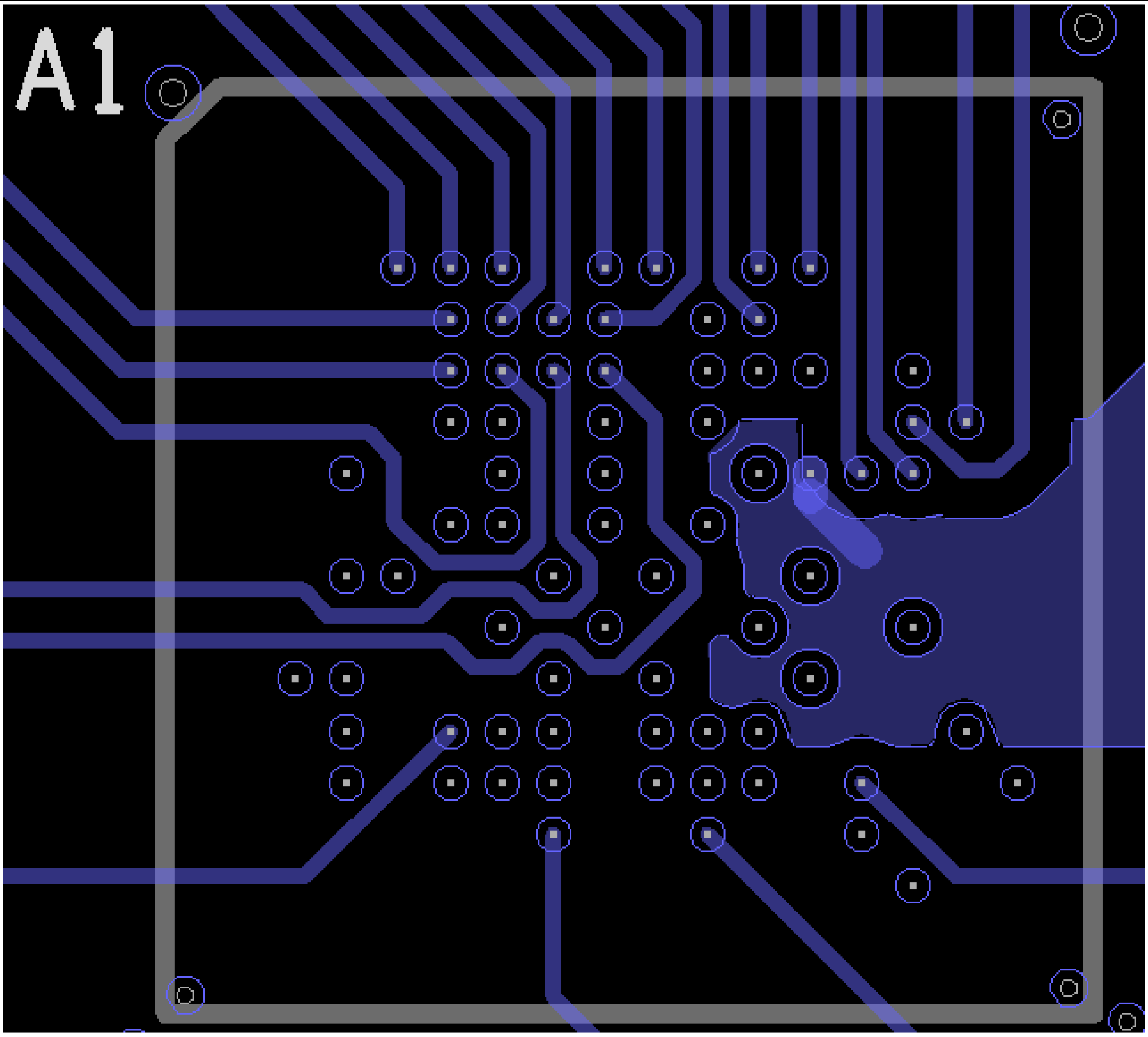


图 12 SSBG 封装对应 PCB 中间层走线示意图二

（四） UWG

Compact 系列 CPLD 目前有 3 种 UWG 封装，分别是 UWG36、UWG49 和 UWG81，焊盘间距 0.4mm。具体封装资料请参考紫光同创相应芯片封装用户指南。

UWG 封装焊盘间距小，焊盘间的空间无法走线（2 层柔性 PCB 板除外），在 PCB 设计中一般需要用到盲埋孔。

焊盘和过孔尺寸推荐如下：

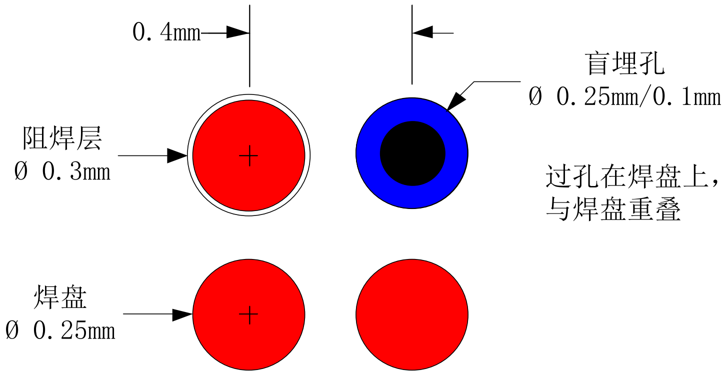


图 13 MBG 封装焊盘和过孔推荐尺寸示意图

对于 UWG 封装，如果采用柔性板设计 PCB，焊盘直径大小建议为 0.2mm（包括阻焊和助焊层均为 0.2mm），走线线宽建议为 0.06mm，走线与走线、走线与焊盘的间距均为 0.06mm。电源的走线在引出之后适当的加宽。差分走线保持等长等距的原则。焊盘处建议加泪滴处理。在 PCB 上，芯片的另一面，需要钢片进行加强（在对应位置画出示意图，告知 PCB 厂家即可）。UWG 封装的 PCB 设计示例如下图所示。

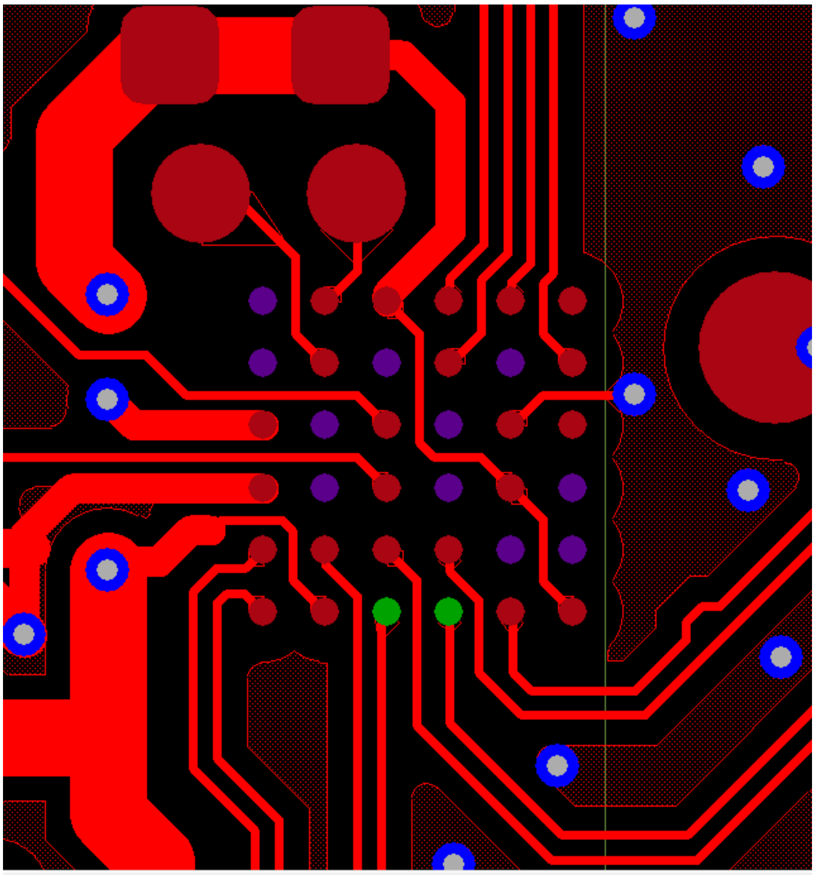


图 14 UWG 封装焊盘和过孔推荐尺寸示意图

（五） LPG

logos 系列 FPGA 目前有两种 LPG 封装，分别是 LPG100 和 LPG144，焊盘间距都是 0.5mm。具体封装资料请参考紫光同创相应芯片封装用户指南。

LPG 封装形式是方型扁平式（QFP），可以根据 QFP 的要求设计 PCB 封装和走线。

四、 配置

相关配置信息请详细阅读紫光同创《UG030004_Compact 系列 CPLD 配置（Configuration）用户指南》（请更新到最新版本）。另外，在芯片封装文档中有管脚说明。

（一） 管脚使用说明

在芯片封装文档中已有芯片管脚详细说明。下面表格给出了一些在做单板硬件设计时需要特别注意的配置管脚的使用说明。

表 4 Compact 系列 CPLD 芯片配置相关管脚使用说明

管脚名称	管脚类型	使用说明
INIT_FLAG_N	复用管脚	用作初始化完成指示信号时，建议外部上拉 4.7KΩ 电阻到其所在 bank 的电源； 不能直接驱动指示灯，可通过三极管或 MOS 管驱动；
CFG_DONE	复用管脚	用作配置完成指示信号时，建议外部上拉 4.7KΩ 电阻到其所在 bank 的电源； 不能直接驱动指示灯，可通过三极管或 MOS 管驱动。
RSTN	复用管脚	用作芯片复位功能时，必须外部上拉 4.7KΩ 电阻到其所在 bank 的电源。
CFG_CLK	复用管脚	当使用主 SPI 模式时，需要外部上拉 1KΩ 电阻到其所在 bank 的电源。
TCK	复用管脚	需要外部下拉 4.7KΩ 电阻到地。
JTAGEN	复用管脚	当 JTAG 接口被禁用时，JTAGEN 可当做专用管脚使用。当 JTAGEN 输入逻辑 1 时，JTAG 接口被使能并作为配置接口使用，此时建议外部上拉 4.7KΩ 电阻到其所在 bank 的电源；当 JTAGEN 输入逻辑 0 时，JTAG 接口的 4 个 I/O 作为用户 I/O 使用，此时建议外部下拉 4.7KΩ 电阻到地。

（二） JTAG

JTAG 中的 TCK 信号最高工作频率是 50MHz，需要外部下拉 4.7KΩ 电阻到地。当在使用背板或其它需要把 JTAG 信号一分为二的情况时，需要在 TCK 串联电阻，减少桩线对信号的影响。如图 15 所示，电阻 R1 和 R2 靠近信号分叉处，阻值可以根据实测结果确定。

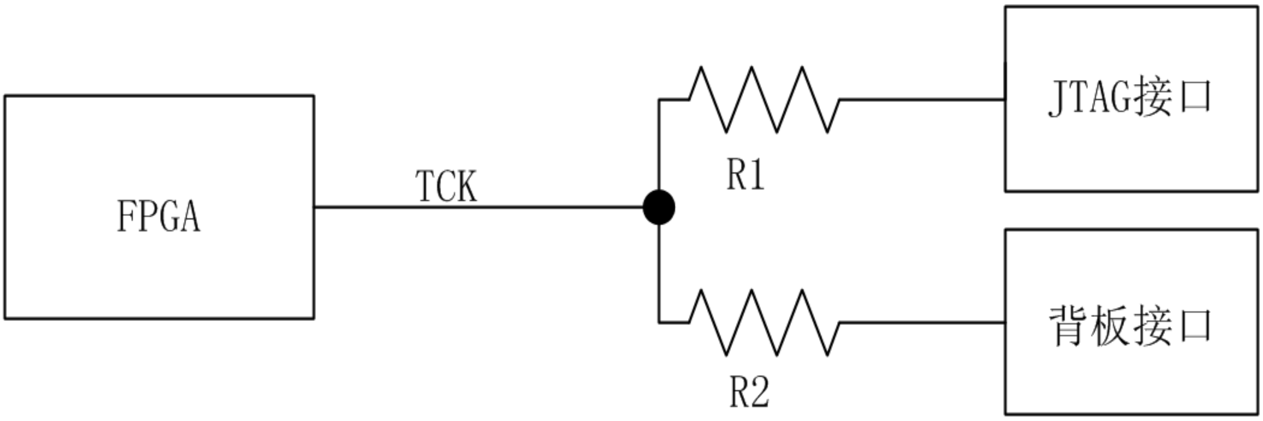


图 15 JTAG 信号分叉电阻示意图

（三） SPI

用到 SPI 配置模式时，SPI 的 SCK 信号注意事项同 JTAG 的 TCK 信号，同时在 SCK 的源端串联电阻。

使用主 SPI 模式时，主时钟 CFG_CLK 推荐外部上拉 1KΩ 电阻到其所在 bank 的电源，外部 Flash 的片选信号 FCS_N 推荐外部上拉 4.7KΩ 电阻到其所在 bank 的电源，并注意 SPI 信号所在的 bank 电压要与 Flash 芯片的电压（电压须符合 Flash 芯片要求）一致。

使用从 SPI 模式时，需要注意 SPI 信号所在的 bank 电压要与主器件接口电平一致。

（四） 其它配置管脚

通常用到的其它配置管脚包括 RSTN、INIT_FLAG_N 和 CFG_DONE 等，这些管脚是复用管脚，使用时的注意事项已在表 4 说明。

复用管脚用做普通 IO 时，需要保证在上电、配置过程中不受配置电路以外电路的影响，建议只做低速信号的输出使用。

从 I2C 配置模式接口支持快速模式，能够进行配置，重配。SCL 和 SDA 需要外接上拉电阻，推荐阻值为 2.2KΩ。

五、 LVDS

（一） 芯片管脚选择要求

Compact 系列 CPLD 在使用 LVDS 接口时，LVDS 所在 bank 的电压支持 3.3V/2.5V。只有 bank0 支持 LVDS 真差分输出。所有 bank 都支持 LVDS 输入，但只有 bank2 可以提供内部差分终端匹配电阻 100Ω。《UG030005_Compact 系列 CPLD 输入输出接口（IO）用户指南》中有详细说明。

（二） 其它说明

Compact 系列 CPLD 对 LVDS 的电平要求在《DS03001_Compact 系列 CPLD 器件数据手册》中有说明。

（三） LVDS 走线要求

1. 每对差分线从芯片管脚走出后，应尽可能彼此靠近，距离保持不变；
2. 发送端和接收端尽量靠近，使 LVDS 走线最短，走线拐角使用 45°角或圆弧；
3. 差分走线阻抗控制在 100 欧姆±10%，如有芯片外终端匹配电阻，匹配电阻需要靠近接收端，到接收端管脚的距离做到最小，优先使用接收端内部匹配电阻；
4. 过孔个数尽量少，建议每条线的过孔不超过 2 个；
5. 走线要有完整的参考平面，优先地平面做参考；
6. 同组内的所有差分对走线在同一层；
7. 信号换层时，如果同时换参考平面，参考平面需要有换层通路过孔，且与信号过孔相邻；
8. 不同差分对走线间距要大于 5 倍线宽，差分线与其它信号线间距大于 5 倍线宽；
9. 差分对内的两条线严格等长，误差建议不超过 5mil；同组内的差分对等长，误差建议不超过 20mil；误差长度补偿原则是哪里出现长度差补偿哪里；
10. 对于有速率传输要求并且较长的 LVDS 走线，可以通过仿真来优化走线的损耗，特别是 PCB 过孔及连接器处的阻抗不连续导致的损耗。

六、 MIPI

（一） 芯片管脚选择要求

Compact 系列 CPLD 支持 MIPI 输入和输出。

MIPI_Ctrl 为 MIPI 高性能应用控制管脚，当它连接 2.5V 或 3.3V 时，器件支持高性能的 MIPI 发送功能；当它连接 VSS 或悬空时，器件不支持高性能的 MIPI 发送功能。在 PGC1KL\PGC2KL\PGC4KL 系列芯片中有此管脚，在 PGC1KG\PGC2KG\PGC4KD\PGC7KD 系列芯片中无此管脚。

MIPI 输入管脚必须选择 Bank2 中差分排序的奇数差分对（因为推荐的应用中使用了 IDDRx4，如果使用 IDDRx2，则可不必受此限制），bank 电压 1.2V。使用 MIPI 电平可以实现单向 HS-MIPI 输入和双向的 LP-MIPI。MIPI 接收端建议使用 2 线方案，单向 HS-MIPI 输入和双向的 LP-MIPI 共用相同的一对 I/O，此时需要芯片内部端接电阻，结构图如下图所示。PCB 走线要求按照差分方式处理。

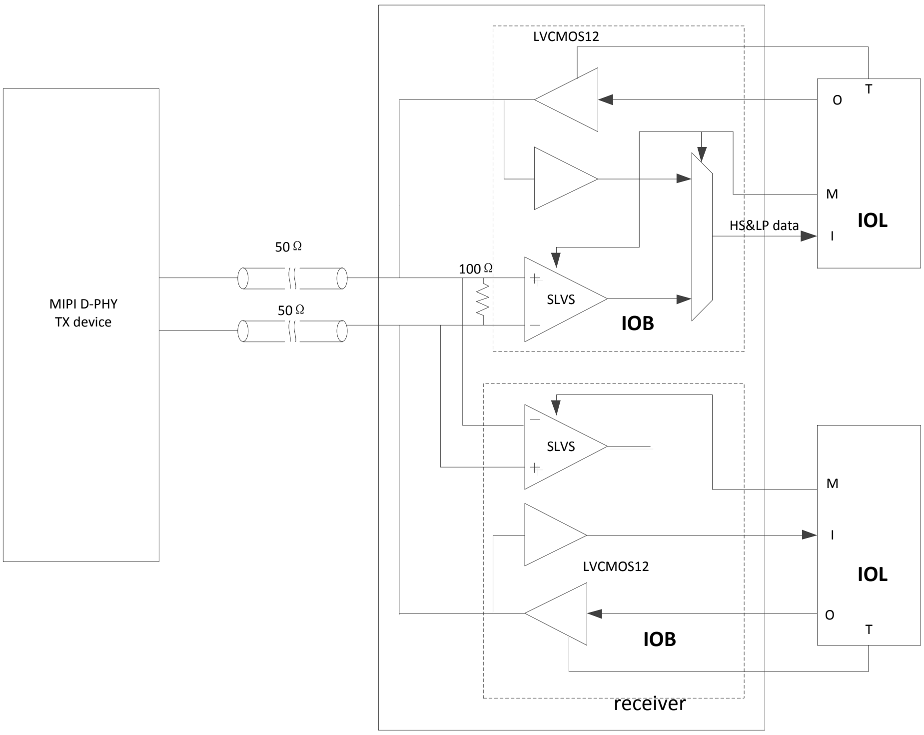


图 16 SLVS 实现 MIPI 输入（HS/LP）

Compact 系列 CPLD 的 MIPI 输出是使用 LVCMOS25D 电平和外接电阻的方式，使用 4 线方案，通过 4 个 I/O 实现 HS-MIPI 输出和 LP-MIPI 输出。HS-MIPI 输出对应的 2 个 IO 使用 LVCMOS25D 电平，放在 Bank0，bank 电压 2.5V；LP-MIPI 输出对应的 2 个 IO 使用 LVCMOS12 电平，是单端信号，匹配电阻需要成对放置做到对差分走线的影响最小，对应 bank 电压 1.2V。原理框图如下图所示：

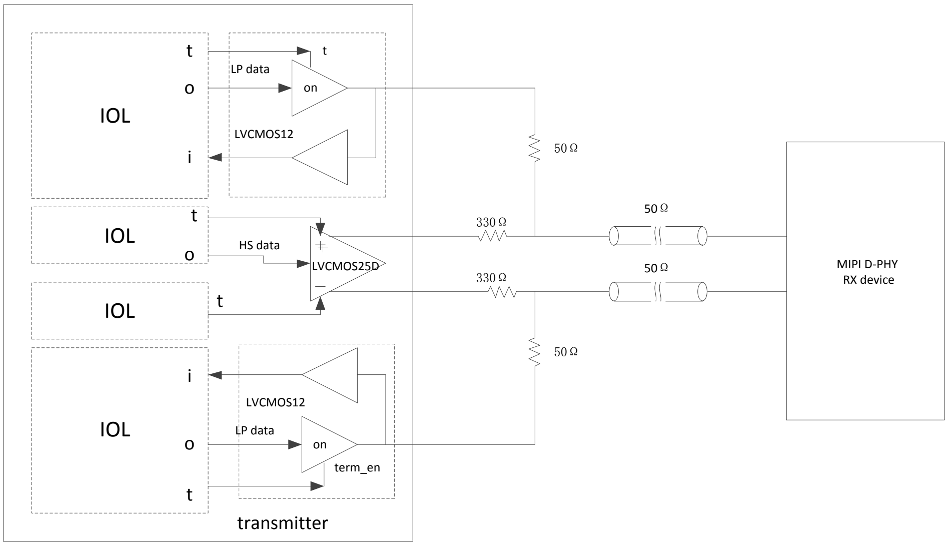


图 17 LVCMOS25D 和外接电阻实现 MIPI 输出（HS/LP）

（二） MIPI 走线要求

PCB 走线时，要做到图 17 中的 50 欧分立电阻对差分线的影响最小，4 线方案中的低速信号按照普通单端信号走线。其它要求同 LVDS 走线要求。

七、 类差分输出

Compact 系列 CPLD 在应用中，LVPECL33、MLVDS、LVDS25E 和 BLVDS 等电平的输出需要采用外部电阻连接的方式实现差分输出。《UG030005_Compact 系列 CPLD 输入输出接口（IO）用户指南》中有原理框图和相关说明。

（一） 类差分输出---LVPECL33

LVPECL33 输出主要应用于点对点应用，最常见的应用实例为在板级上的时钟分配网络。图 18 给出了一个 LVPECL33 在点对点应用时的一种可能实现方式。其中 R_S 和 R_P 给出的参考值为 100Ω 和 200Ω。

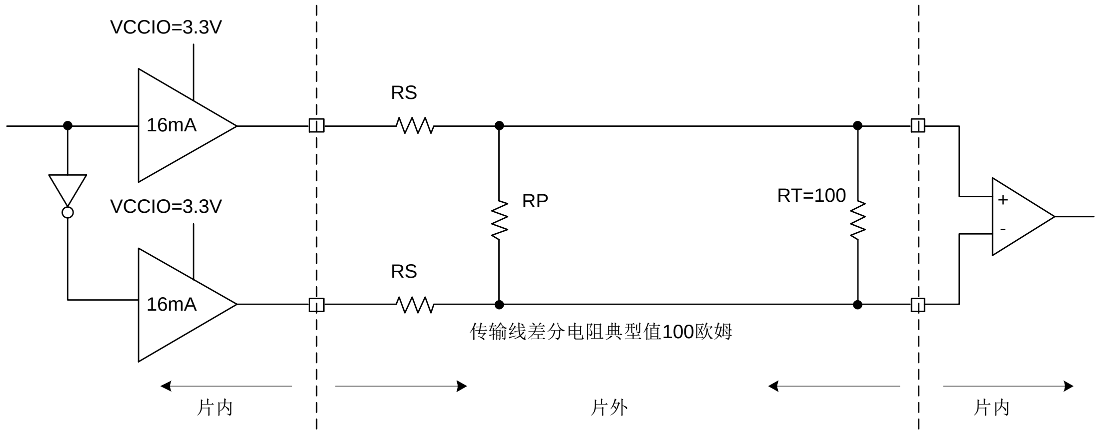


图 18 LVPECL 点对点输出实例

（二） 类差分输出---MLVDS25

MLVDS25 被用作需要双向多点驱动输出输入差分信号的情况。I/O 自身不支持该种输出标准，需要借助 LVCMOS 的互补输出原理和器件外部电阻共同实现。MLVDS25 的差分幅度比 BLVDS25 的差分幅度大，并且需要较高的电流驱动能力。图 19 给出了 MLVDS25 多点配置的典型应用情况。其中 R_S 的参考值为 80Ω，R_{left} 的参考值为 40-100Ω，R_{right} 的参考值为 40-100Ω。

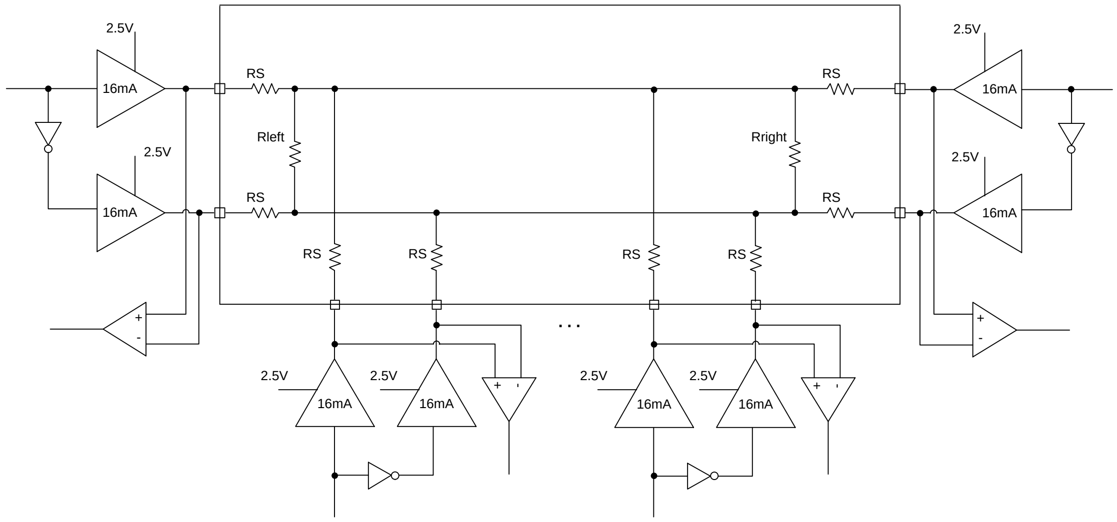


图 19 MLVDS25/BLVDS25 点对点输出实例

（三） 类差分输出---BLVDS25

BLVDS25 是一种类似于 MLVDS25 标准的输出标准，也被用作需要双向多点驱动输出输入差分信号的情况。二者不同之处在于，MLVDS25 是工业标准，MLVDS25 的差分幅度比 BLVDS25 的差分幅度大，并且需要较高的电流驱动能力。实现方法与 MLVDS25 一致，电路结构如图 19 所示。

（四） 类差分输出---LVDS25E

2.5V 类差分 LVDS25E 输出利用 LVCMOS 互补输出实现，图 20 给出一种 LVDS25E 的实现方式实例。其中 R_S 的参考值为 150Ω，R_P 的参考值为 140Ω。

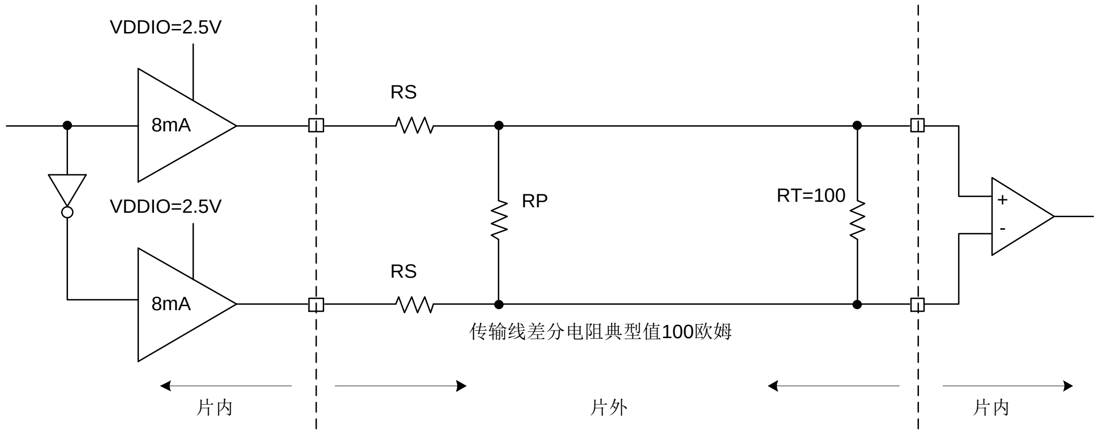


图 20 LVDS25E 点对点输出实例

八、 时钟

（一） 时钟管脚

Compact 系列 CPLD 有一定数量的全局时钟输入管脚和 PLL 时钟输入管脚，支持单端或差分输入。单端时钟输入选择全局时钟差分对中的 P 端才能保证时钟信号走全局时钟专用走线。晶振的时钟和一般信号的参考时钟输入都要进入到这些管脚。输出的参考时钟不要求连接到这些专用管脚。同时，这些管脚可以当做普通 I/O 使用。时钟输入管脚可参考封装用户手册中的管脚说明。

（二） 时钟走线

1. 有源晶振驱动电源采用磁珠和大小电容组合滤波；
2. 时钟电路放在远离板边的位置，走线远离一般信号，避免与其他信号线并行；
3. 时钟线做包地时，包地线每隔一定距离要打过孔到地平面；
4. 时钟走线要有完整参考地平面，尽量少换层；
5. 时钟过孔旁边要有地过孔相邻，换层后也要有完整的参考地平面；
6. 时钟走线要保持阻抗连续，避免跨分割；
7. 时钟线源端预留串联电阻位置

九、 其它注意事项

建议用户在分配完 CPLD 管脚后，使用相应 PDS 软件版本编译工程，确认管脚定义是否合理。

免责声明

版权声明

免责声明

1、本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因本文档使用不当造成的直接或间接损失，本公司不承担任何法律责任。

2、本文档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。

公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。